

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340456
(43)Date of publication of application : 10.12.1999

(51)Int.CI. H01L 29/78
H01L 21/28
H01L 21/76
H01L 21/768

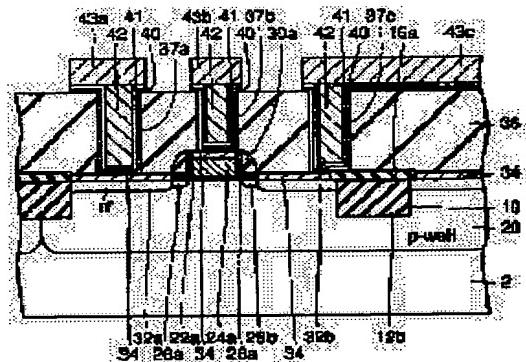
(21)Application number : 10-141206
(22)Date of filing : 22.05.1998

(71)Applicant : MITSUBISHI ELECTRIC CORP
(72)Inventor : YAMASHITA YUKIHIRO

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce leakage current.
SOLUTION: An MOS transistor is formed in a p-well 20 while being insulated electrically from other elements through a silicon oxide film 12b formed in a trench 10. Contact holes 37a, 37b, 37c are made in an interlayer insulation film 36 covering the MOS transistor. Even if alignment of photolithography is shifted, surface of an n+ drain region 32b and the p-well 20 can be prevented from being exposed because a silicon nitride film 16a formed as a protective film covering the silicon oxide film 12b prevents the silicon oxide film 12b from being etched.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-340456

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.⁶
H 01 L 29/78
21/28
21/76
21/768

識別記号

F I
H 01 L 29/78 3 0 1 X
21/28 L
21/76 L
21/90 D
29/78 3 0 1 R

審査請求 未請求 請求項の数13 O L (全 22 頁)

(21)出願番号 特願平10-141206

(22)出願日 平成10年(1998)5月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 山下 征大

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

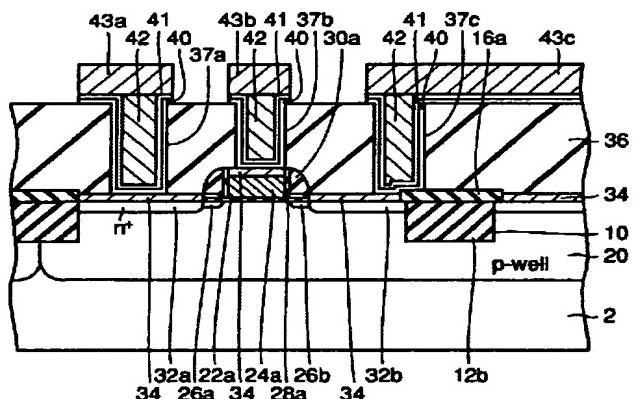
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 リーク電流の低減が図られる半導体装置とその製造方法とを提供する。

【解決手段】 pウェル20に、溝10内に形成されたシリコン酸化膜12bによって他の素子と電気的に絶縁された、MOSトランジスタが形成されている。そのMOSトランジスタを覆う層間絶縁膜36に、コンタクトホール37a、37b、37cがそれぞれ形成される。このとき、写真製版のアライメントがずれたとしても、シリコン酸化膜12bを覆う保護膜としてのシリコン窒化膜16aが形成されているため、シリコン酸化膜12bがエッチングされて、n⁺ドレイン領域32bとpウェル20の表面が露出するのを防止することができる。



2: 半導体基板

10: 溝

16: シリコン窒化膜

20: pウェル

22a: ゲート酸化膜

26a: n⁺ソース領域

26b: n⁺ドレイン領域

30a, 30b: シリコン窒化膜

32a: n⁺ソース領域

32b: n⁺ドレイン領域

34: コバルトシリサイド膜

36: 層間絶縁膜

37a, 37b, 37c, 37d: コンタクトホール

1

【特許請求の範囲】

【請求項1】 半導体基板の主表面に形成された第1導電領域と、前記第1導電領域に接して前記半導体基板の主表面に形成された素子分離領域と、前記第1導電領域に接している前記素子分離領域部分およびその近傍部分を少なくとも覆うように形成された第1保護膜と、前記第1導電領域および前記第1保護膜を覆うように、前記半導体基板上に形成された絶縁膜と、前記絶縁膜に形成された、前記第1導電領域の表面を露出する開口部と、前記開口部に埋込まれた導電体と、前記絶縁膜上に形成され、前記導電体と電気的に接続された第2導電領域とを備えた、半導体装置。

【請求項2】 前記半導体基板の主表面に、前記第1導電領域と距離を隔てて形成された第3導電領域と、前記第1導電領域と前記第3導電領域とによって挟まれた領域上に、ゲート絶縁膜を介在させて形成されたゲート電極と、前記ゲート電極の両側面上に形成された側壁絶縁膜とを含み、前記第1保護膜と前記側壁絶縁膜とが同じ層からなる、請求項1記載の半導体装置。

【請求項3】 前記第1保護膜は、前記素子分離領域の表面全体を覆っている、請求項1または2に記載の半導体装置。

【請求項4】 前記半導体基板の主表面に、前記第1導電領域と距離を隔てて形成された第3導電領域と、前記第1導電領域と前記第3導電領域とによって挟まれた領域上に、ゲート絶縁膜を介在させて形成されたゲート電極と、前記半導体基板の主表面に形成された抵抗素子と、前記抵抗素子を覆うように形成された第2保護膜と、前記第1導電領域および前記第3導電領域上に形成された導電層とを含み、前記第1保護膜と前記第2保護膜とは同じ層からなる、請求項1記載の半導体装置。

【請求項5】 前記素子分離領域は、

前記半導体基板の主表面に形成された溝部と、前記溝部の上端近傍の溝部側面を露出させて前記溝部の上端を越えないように前記溝部内に形成された絶縁体とを含み、前記第1保護膜は前記溝部側面上に形成された、請求項1記載の半導体装置。

【請求項6】 前記第1保護膜はシリコン窒化膜であり、前記絶縁膜はシリコン酸化膜である、請求項1～5のいずれかに記載の半導体装置。

【請求項7】 半導体基板の主表面に素子分離領域を形成する工程と、

2

前記半導体基板の主表面に、前記素子分離領域に接する第1導電領域を形成する工程と、前記素子分離領域の表面を覆うように第1保護膜を形成する工程と、前記第1導電領域および前記第1保護膜を覆うように、前記半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に、前記第1導電領域の表面を露出する開口部を形成する工程と、前記開口部に導電体を埋込む工程と、前記絶縁膜上に、前記導電体と電気的に接続される第2導電領域を形成する工程とを備えた、半導体装置の製造方法。

【請求項8】 前記素子分離領域を形成する工程は、前記半導体基板上に所定タイプの第1フォトレジストを形成する工程と、前記第1フォトレジストを所定のマスクを用いて露光することにより、第1フォトレジストパターンを形成する工程と、前記第1フォトレジストパターンをマスクとして、前記半導体基板に加工を施すことにより、前記半導体基板の所定の領域に、溝部を形成する工程と、前記溝部に絶縁体を形成する工程とを含み、前記第1保護膜を形成する工程は、

前記素子分離領域を覆うように前記半導体基板上に前記絶縁膜とはエッチング特性の異なる保護層を形成する工程と、

前記保護層上に前記所定タイプとは異なるタイプの第2フォトレジストを形成する工程と、

前記第2フォトレジストを所定の前記マスクを用いて露光することにより、第2フォトレジストパターンを形成する工程と、

前記第2フォトレジストパターンをマスクとして、前記保護層に加工を施すことにより、前記素子分離領域の表面を覆う第1保護膜を形成する工程とを含む、請求項7記載の半導体装置の製造方法。

【請求項9】 前記素子分離領域を形成する工程と前記絶縁膜を形成する工程との間に、

前記半導体基板上にゲート絶縁膜を介在させてゲート電極を形成する工程と、

前記ゲート電極を挟んで前記半導体基板の主表面に所定導電型の1対の不純物領域を形成する工程と、前記ゲート電極の両側面上に側壁絶縁膜を形成する工程とを備え、

前記1対の不純物領域を形成する工程は、一方の領域に前記第1導電領域を形成する工程を含み、

前記側壁絶縁膜を形成する工程は、前記第1保護膜を形成する工程と同時に実行される、請求項7記載の半導体装置の製造方法。

【請求項10】 前記素子分離領域を形成する工程と前記絶縁膜を形成する工程との間に、

前記半導体基板上にゲート絶縁膜を介在させてゲート電極を形成する工程と、
前記ゲート電極を挟んで前記半導体基板の主表面に所定導電型の1対の不純物領域を形成する工程と、
前記半導体基板の主表面に抵抗素子を形成する工程と、
少なくとも前記抵抗素子を覆うように第2保護膜を形成する工程と、
1対の前記不純物領域上に、自己整合的に導電層を形成する工程とを備え、
前記1対の不純物領域を形成する工程は、一方の領域に前記第1導電型領域を形成する工程を含み、
前記第2保護膜を形成する工程は、前記第1保護膜を形成する工程と同時に行なわれる、請求項7記載の半導体装置の製造方法。

【請求項11】 前記素子分離領域を形成する工程と前記絶縁膜を形成する工程との間に、
前記半導体基板上に第1ゲート絶縁膜用絶縁層を形成する工程と、
前記第1ゲート絶縁膜用絶縁層および前記素子分離領域を覆うように第3保護膜を形成する工程と、
前記半導体基板上に第2ゲート絶縁膜用絶縁層を形成する工程と、
前記第3保護膜のうち、少なくとも前記素子分離領域を覆う部分を残して他の部分を除去する工程と、
前記第1ゲート絶縁膜用絶縁層および前記第2絶縁膜用絶縁層上に導電層を形成するとともに、所定の加工を施すことにより、前記半導体基板上に第1ゲート絶縁膜を介在させて第1ゲート電極および第2ゲート絶縁膜を介在させて第2ゲート電極を形成する工程とを備え、
前記第3保護膜を形成する工程は、前記第1保護膜を形成する工程と同時に行なわれる、請求項7記載の半導体装置の製造方法。

【請求項12】 前記素子分離領域を形成する工程は、前記半導体基板の主表面に溝部を形成する工程と、
前記溝部の上端近傍の溝部側面を露出させて前記溝部の上端を越えないように前記溝部内に絶縁体を埋込む工程とを含み、
前記第1保護膜を形成する工程は、前記溝部側面上に自己整合的に前記絶縁膜とはエッチング特性の異なる膜を形成する工程を含む、請求項7記載の半導体装置の製造方法。

【請求項13】 前記第1保護膜はシリコン窒化膜であり、前記絶縁膜はシリコン酸化膜である、請求項7～13のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に、リーク電流の低減が図られる半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 従来の半導体装置の一例として、MOSトランジスタを備えた半導体装置について図を用いて説明する。図42を参照して、半導体基板2の表面にpウェル20が形成されている。そのpウェル20の表面上には、ゲート絶縁膜22aを介在させてゲート下部電極24aが形成されている。そのゲート下部電極24aを挟んでpウェル20の表面に、n-ソース領域26a、n+ソース領域32a、n-ドレイン領域26bおよびn+ドレイン領域32bが形成されている。ゲート下部電極24a、n-、n+ソース領域26a、32aおよびn-、n+ドレイン領域26b、32bにより、1つのMOSトランジスタが構成される。そのMOSトランジスタは、溝10内に形成されたシリコン酸化膜12bによって他のMOSトランジスタ（図示せず）などの素子と電気的に絶縁されている。

【0003】 n-、n+ソース領域26a、32aおよびn-、n+ドレイン領域26b、32bの表面およびゲート下部電極24aの上面には、それぞれコバルトシリサイド膜34が形成されている。また、ゲート下部電極24aの両側面上には、サイドウォール絶縁膜として、TEOS系酸化膜28aおよびシリコン窒化膜30aが形成されている。ゲート下部電極24aおよびコバルトシリサイド膜34を覆うように、半導体基板2上に層間絶縁膜36が形成されている。その層間絶縁膜36には、コバルトシリサイド膜34の表面を露出するコンタクトホール37a、37b、37cがそれぞれ形成されている。そのコンタクトホール37a、37b、37c内には、チタン40および窒化チタン41を介在させてタンゲステン42が形成されている。そして、層間絶縁膜36上に、タンゲステン42などに電気的に接続されるソース電極43a、ゲート上部電極43b、ドレン電極43cがそれぞれ形成されている。

【0004】 MOSトランジスタを備えた従来の半導体装置の一例は、上記のように構成される。

【0005】 次に、上述した半導体装置の製造方法の一例について図を用いて説明する。まず図43を参照して、半導体基板2の表面に、ウェット酸化により、たとえば、約150Åのシリコン酸化膜4を形成する。そのシリコン酸化膜4上に、減圧CVD法等により、約2000Åのシリコン窒化膜6を形成する。そのシリコン窒化膜6上に、レジストパターン8を形成する。このレジストパターン8をマスクとして、シリコン窒化膜6およびシリコン酸化膜4に反応性イオンエッチングにより異方性エッチングを施す。さらに、このエッチングされたシリコン窒化膜6およびシリコン酸化膜4をマスクとして、半導体基板2に反応性イオンエッチングにより異方性エッチングを施し、溝形素子分離（Shallow Trench Isolation；以下「STI」と記す。）となる溝10を形成する。その後、レジストパターン8を除去する。

【0006】 次に図44を参照して、溝10内を埋める

よう、半導体基板2上に、高密度プラズマCVD法により、約5000Åのシリコン酸化膜12を形成する。

【0007】次に図45を参照して、シリコン酸化膜12に化学的機械的研磨(Chemical Mechanical Polishing;以下「CMP」と記す。)を施すことにより、溝10内にのみシリコン酸化膜12aを残す。このとき、シリコン窒化膜6は、CMPの際のストップ膜として作用する。

【0008】その後、シリコン窒化膜6を、たとえば、熱リシン酸などで除去する。さらに、シリコン酸化膜4を、たとえば、フッ酸などで除去する。

【0009】次に図46を参照して、窒素などのドライ雰囲気および温度1100℃にて熱処理を施すことにより、シリコン酸化膜4の除去された半導体基板2の表面に約150Åの犠牲酸化膜14を形成する。次に、写真製版により、pウェル20を形成するためのレジストマスク(図示せず)を形成するとともに、これをマスクとして、たとえば、ボロンなどを注入エネルギー250KeVにてイオン注入することにより、pウェル20を形成する。なお、nウェル領域を形成するには、たとえば、リンなどを注入エネルギー400KeVにてイオン注入することによりnウェル(図示せず)を形成することができる。その後、フッ酸などにより犠牲酸化膜14を除去する。

【0010】次に図47を参照して、熱酸化法等により半導体基板2の表面に約40Åのシリコン酸化膜22を形成する。そのシリコン酸化膜22上に、減圧CVD法によりポリシリコン膜24を形成する。そのポリシリコン膜24上に、レジストパターン45を形成する。

【0011】次に図48を参照して、レジストパターン45をマスクとして、ポリシリコン膜24に異方性エッチングを施し、ゲート下部電極24aを形成する。その後、レジストパターン45を除去する。次に、所定の領域にレジストパターン46を形成する。そのレジストパターン46およびゲート下部電極24aをマスクとして、注入エネルギー60KeV、ドーズ量 $4 \times 10^{13}/\text{cm}^2$ 、角度45°斜め回転注入の条件にて砒素をイオン注入することによりn-ソース領域26a、n-ドレイン領域26bを形成する。その後レジストパターン46を除去する。

【0012】なお、nウェル(図示せず)には、注入エネルギー10KeV、ドーズ量 $2 \times 10^{13}/\text{cm}^2$ 、角度45°斜め回転注入の条件にてボロンをイオン注入することにより、p-ソースおよびドレイン領域(いずれも図示せず)を形成する。

【0013】次に図49を参照して、ゲート下部電極24aを覆うように半導体基板2上に約150ÅのTEOS系酸化膜(図示せず)をCVD法により形成する。そのTEOS系酸化膜上に、減圧CVD法によりシリコン窒化膜(図示せず)を形成する。その後、シリコン窒化

膜およびTEOS系酸化膜に異方性エッチングを施すことにより、ゲート下部電極24aの両側面上に、サイドウォール絶縁膜としてのTEOS系酸化膜28aとシリコン窒化膜30aとを形成する。

【0014】次に図50を参照して、半導体基板2上にレジストパターン46を形成する。そのレジストパターン46、ゲート下部電極24a、TEOS系酸化膜28aおよびシリコン窒化膜30aをマスクとして、注入エネルギー50KeV、ドーズ量 $4 \times 10^{15}/\text{cm}^2$ にて砒素をイオン注入することにより、n+ソース領域32aおよびn+ドレイン領域32bを形成する。これにより、LDD(LightlyDoped Drain)構造が形成される。その後、レジストパターン46を除去する。

【0015】なお、nウェル(図示せず)には、注入エネルギー15KeV、ドーズ量 $4 \times 10^{15}/\text{cm}^2$ にてボロンをイオン注入することによりp+ソースおよびドレイン領域を形成する。

【0016】次に図51を参照して、ゲート下部電極24a等を覆うように半導体基板2上に、スパッタ法によりコバルト膜(図示せず)を形成する。その後、窒素雰囲気、温度430℃、時間90秒の条件にてランプによるアニール(ランプアニール)を施すことにより、半導体基板2中のシリコンとコバルトおよびゲート下部電極24a中のシリコンとコバルトとをそれぞれ反応させてコバルトシリサイド膜34を形成する。このとき、シリコン酸化膜12b中のシリコンとコバルトとは反応しないので、未反応のコバルトが残る。その未反応のコバルトをウェット処理により選択的に除去する。その後、温度750℃、時間60秒の熱処理をさらに加えることにより、コバルトシリサイド膜34を安定化させる。

【0017】次に図52を参照して、コバルトシリサイド膜34等を覆うように半導体基板2上に、常圧CVD法により約10000Åのシリコン酸化膜を形成する。その後、そのシリコン酸化膜にCMP法により平坦化処理を施し、さらに平坦化されたシリコン酸化膜上に約1000Åのシリコン酸化膜を形成して層間絶縁膜36を形成する。その層間絶縁膜36に、所定のレジストパターン(図示せず)を形成する。そのレジストパターンをマスクとして層間絶縁膜36に異方性エッチングを施し、コバルトシリサイド膜34の表面を露出するコンタクトホール37a、37b、37cをそれぞれ形成する。

【0018】その後、層間絶縁膜36上に、スパッタ法により、チタン、窒化チタンの膜(いずれも図示せず)を形成する。さらにCVD法によりタンクステン膜(図示せず)を形成する。そのタンクステン膜に異方性エッチングを施すことにより、コンタクトホール37a、37b、37c内に、チタン40および窒化チタン41を介在させてタンクステン42を形成する。その後、層間絶縁膜36上に、スパッタ法によりアルミニウム銅合金

膜（図示せず）を形成する。そのアルミニウム銅合金膜上に所定のレジストパターン（図示せず）を形成する。そのレジストパターンをマスクとして、アルミニウム銅合金膜に異方性エッチングを施すことにより、配線層としてのソース電極43a、ゲート上部電極43bおよびドレイン電極43cを形成する。以上のような工程を経ることによって、図42に示す半導体装置が完成する。

【0019】

【発明が解決しようとする課題】ところで、近年、半導体装置の微細化に伴って、コンタクトホールとゲート電極またはコンタクトホールとMOSトランジスタなどの素子形成領域との重ね合わせのマージンが小さくなっている。このため、コンタクトホール工程の写真製版におけるマスク合わせずれや、素子形成領域またはコンタクトホールの寸法シフトに起因して、たとえば、図52に示す工程において、コンタクトホール37cの底面の全面にコバルトシリサイド膜34が露出するようにコンタクトホール37bが形成されなくて、部分的にしかコバルトシリサイド膜34が露出しないように形成される、いわゆるボーダーレス構造が生じることがある。

【0020】層間絶縁膜36にコンタクトホールを形成する際には、その層間絶縁膜36のウエハ面内における膜厚のばらつきを考慮して、通常50%以上のオーバーエッチングが施される。このため、コンタクトホールによつては、図53に示すコンタクトホール37cのように、溝10内に形成されたシリコン酸化膜12bがエッチングされて、コンタクトホール37cの下部側面にn+ドレイン領域32bとともにpウェル20が露出することがある。このようなコンタクトホール37c内にタンゲステン42などが形成されると、n+ドレイン領域32bとpウェル20とが電気的に短絡して、n+ドレイン領域32bからpウェル20へ電流がリークすることがあった。このため、半導体装置の所望の動作特性を得ることができなかつた。

【0021】本発明は、上記問題点を解決するためになされたものであり、たとえ、コンタクトホールが所定の位置からはずれた位置に形成された場合でもリーク電流の低減が図られる半導体装置とその製造方法とを提供することを目的とする。

【0022】

【課題を解決するための手段】本発明の1つの局面における半導体装置は、第1導電領域と、素子分離領域と、第1保護膜と、絶縁膜と、導電体と、第2導電領域とを備えている。第1導電領域は、半導体基板の主表面に形成されている。素子分離領域は、第1導電領域に接して半導体基板の主表面に形成されている。第1保護膜は、第1導電領域に接している素子分離領域部分およびその近傍部分を少なくとも覆うように形成されている。絶縁膜は、第1導電領域および第1保護膜を覆うように半導体基板上に形成されている。開口部は、絶縁膜に形成さ

れ第1導電領域の表面を露出している。導電体は開口部に埋込まれている。第2導電領域は、絶縁膜上に形成され、導電体と電気的に接続されている。

【0023】この構成によれば、絶縁膜に開口部を形成する際に、開口部を形成するためのレジストパターンが、たとえばアライメントのずれなどにより素子分離領域上にかかるように形成された場合であつても、絶縁膜をエッチングする際に第1保護膜の存在によって素子分離膜がエッチングされるのを防止することができる。これにより、素子分離領域がエッチングされて開口部の側面に第1導電領域とその第1導電領域下の半導体基板の領域とが露出するよう開口部が形成され、そして、その開口部に形成される導電体によって第2導電領域から第1導電領域を経て半導体基板へ電流がリークするのを防止することができる。その結果、半導体装置の電気的特性が向上し、所望の動作特性が得られる。

【0024】好ましくは、半導体基板の主表面に、第1導電領域と距離を隔てて形成された第3導電領域と、第1導電領域と第3導電領域とによって挟まれた領域上

10 に、ゲート絶縁膜を介在させて形成されたゲート電極と、ゲート電極の両側面上に形成された側壁絶縁膜とを含み、第1保護膜とその側壁絶縁膜とは同じ層からなる。

【0025】この場合、第1保護膜は側壁絶縁膜と同じ層から形成されるため、新たな膜形成工程を追加することなく、第1保護膜を形成することができる。

【0026】また好ましくは、第1保護膜は素子分離領域の表面全体を覆っている。この場合、第1保護膜を形成するためのマスクとして、素子分離領域を形成するためのマスクを用いることができる。その結果、新たなマスクを追加することなく第1保護膜を形成することができる。

【0027】好ましくは、半導体基板の主表面に第1導電領域と距離を隔てて形成された第3導電領域と、第1導電領域と第3導電領域とによって挟まれた領域上に、ゲート絶縁膜を介在させて形成されたゲート電極と、半導体基板の主表面に形成された抵抗素子と、その抵抗素子を覆うように形成された第2保護膜と、第1導電領域および第3導電領域上に形成された導電層とを含み、第

20 1保護膜と第2保護膜とは同じ層からなる。

【0028】この場合、導電層を形成する際に、抵抗素子上にも導電層が形成されるのを防止するための第2保護膜と同じ層から第1保護膜が形成される。このため、新たな膜形成工程を追加することなく第1保護膜を形成することができる。

【0029】また好ましくは、素子分離領域は、半導体基板の主表面に形成された溝部と、その溝部の上端近傍の溝部側面を露出させて溝部の上端を越えないように溝部内に形成された絶縁体とを含み、第1保護膜はその溝部側面上に形成されている。

40

【0028】この場合、導電層を形成する際に、抵抗素子上にも導電層が形成されるのを防止するための第2保護膜と同じ層から第1保護膜が形成される。このため、新たな膜形成工程を追加することなく第1保護膜を形成することができる。

【0029】また好ましくは、素子分離領域は、半導体基板の主表面に形成された溝部と、その溝部の上端近傍の溝部側面を露出させて溝部の上端を越えないように溝部内に形成された絶縁体とを含み、第1保護膜はその溝部側面上に形成されている。

【0030】この場合、第1保護膜を、新たなマスクを追加することなく溝部上端側面上に自己整合的に容易に形成することができる。

【0031】さらに好ましくは、第1保護膜はシリコン窒化膜であり、絶縁膜はシリコン酸化膜である。

【0032】この場合には、絶縁膜に開口部を形成する際に、シリコン窒化膜を実質的にエッチングせずに、シリコン酸化膜のみをエッチングすることができる。これにより、シリコン窒化膜下の領域がエッチングされるのを容易に防止することができる。

【0033】本発明の他の局面における半導体装置の製造方法は、以下の工程を備えている。半導体基板の主表面に素子分離領域を形成する。半導体基板の主表面に、素子分離領域に接する第1導電領域を形成する。素子分離領域の表面を覆うように第1保護膜を形成する。第1導電領域および第1保護膜を覆うように半導体基板上に絶縁膜を形成する。絶縁膜に第1導電領域の表面を露出する開口部を形成する。開口部に導電体を埋込む。絶縁膜上に、導電体と電気的に接続される第2導電領域を形成する。

【0034】この製造方法によれば、絶縁膜に開口部を形成する際に、開口部を形成するためのレジストパターンが、アライメントのずれなどにより素子分離領域上にかかるように形成された場合であっても、絶縁膜をエッチングする際に第1保護膜によって素子分離領域がエッチングされるのを防止することができる。これにより、第1絶縁膜のない場合と比較すると、素子分離領域がエッチングされて開口部の側面に第1導電領域とその第1導電領域下の半導体基板の領域とが露出して開口部が形成されるのを防止でき、その開口部に形成される導電体によって第2導電領域から第1導電領域を経て半導体基板へ電流がリークするのを抑制することができる。その結果、電気的特性の向上が図られ所望の動作特性が得られる半導体装置を製造することができる。

【0035】好ましくは、素子分離領域を形成する工程は、半導体基板上に所定タイプの第1フォトレジストを形成する工程と、第1フォトレジストを所定のマスクを用いて露光することにより、第1フォトレジストパターンを形成する工程と、その第1フォトレジストパターンをマスクとして、半導体基板に加工を施すことにより、半導体基板の所定の領域に、溝部を形成する工程と、その溝部に絶縁体を形成する工程とを含んでいる。また、第1保護膜を形成する工程は、素子分離領域を覆うように半導体基板上に絶縁膜とはエッチング特性の異なる保護層を形成する工程と、その保護層上に所定タイプとは異なるタイプの第2フォトレジストを形成する工程と、その第2フォトレジストを所定のマスクを用いて露光することにより、第2フォトレジストパターンを形成する工程と、その第2フォトレジストパターンをマスクとして、保護層に加工を施すことにより、素子分離領域の表

面を覆う第1保護膜を形成する工程とを含んでいる。

【0036】この場合には、第1保護膜を形成するためのマスクとして、素子分離領域を形成するための第1フォトレジストパターンのレジストタイプと異なるレジストタイプを用いることによって、素子分離形成領域を形成するためのマスクを用いることができる。これにより、新たなマスクを作製することなく、第1保護膜を形成することができ、製造コストの上昇を抑制することができる。

10 【0037】好ましくは、素子分離領域を形成する工程と絶縁膜を形成する工程との間に、半導体基板上にゲート絶縁膜を介在させてゲート電極を形成する工程と、ゲート電極を挟んで半導体基板の主表面に所定導電型の1対の不純物領域を形成する工程と、ゲート電極の両側面上に側壁絶縁膜を形成する工程とを備えている。1対の不純物領域を形成する工程は、一方の領域に第1導電領域を形成する工程を含んでいる。側壁絶縁膜を形成する工程は、第1保護膜を形成する工程と同時に行なわれる。

20 【0038】この場合には、1対の不純物領域とゲート電極とを含むトランジスタが形成される。そのゲート電極の側壁絶縁膜を形成する際に、その側壁絶縁膜と同じ層から第1保護膜を形成することができる。これにより、新たな膜形成工程を追加することなく第1保護膜を形成でき、製造コストの上昇を抑えることができる。

【0039】また好ましくは、素子分離領域を形成する工程と絶縁膜を形成する工程との間に、半導体基板上にゲート絶縁膜を介在させてゲート電極を形成する工程と、ゲート電極を挟んで半導体基板の主表面に所定導電

30 型の1対の不純物領域を形成する工程と、半導体基板の主表面に抵抗素子を形成する工程と、少なくとも抵抗素子を覆うように第2保護膜を形成する工程と、1対の不純物領域上に、自己整合的に導電層を形成する工程とを備えている。1対の不純物領域を形成する工程は、一方の領域に第1導電型領域を形成する工程を含んでいる。第2保護膜を形成する工程は、第1保護膜を形成する工程と同時に行なわれる。

【0040】この場合には、1対の不純物領域とゲート電極とを含むトランジスタが形成される。その不純物領域上に導電層を形成する際に、半導体基板の表面に形成された抵抗素子上にも導電層が形成されるのを防止するための第2保護膜が形成される。第1保護膜は、その第2保護膜と同じ層から形成される。これにより、新たな膜形成工程を追加することなく第1保護膜を形成でき、製造コストの上昇を抑えることができる。

40 【0041】また好ましくは、素子分離領域を形成する工程と絶縁膜を形成する工程との間に、半導体基板上に第1ゲート絶縁膜用絶縁層を形成する工程と、第1ゲート絶縁膜用絶縁層および素子分離領域を覆うように第3保護膜を形成する工程と、半導体基板上に第2ゲート絶

50 層を形成する工程と、半導体基板上に第2ゲート絶

縁膜用絶縁層を形成する工程と、第3保護膜のうち、少なくとも素子分離領域を覆う部分を残して他の部分を除去する工程と、第1ゲート絶縁膜用絶縁層および第2絶縁膜用絶縁層上に導電層を形成するとともに、所定の加工を施すことにより、半導体基板上に第1ゲート絶縁膜を介在させて第1ゲート電極および第2ゲート絶縁膜を介在させて第2ゲート電極を形成する工程とを備えている。第3保護膜を形成する工程は、第1保護膜を形成する工程と同時に実行される。

【0042】この場合には、半導体基板上に第1ゲート絶縁膜を介在させた第1ゲート電極と第2ゲート絶縁膜を介在させた第2ゲート電極とが形成される。第2ゲート絶縁膜用絶縁層を形成する際に、第1ゲート絶縁膜用絶縁層および素子分離領域上に第2ゲート絶縁膜用絶縁層が形成されるのを防ぐために第3保護膜が形成される。第1保護膜は、その第3保護膜と同じ層から形成される。これにより、新たな膜形成工程を追加することなく第1保護膜を形成でき、製造コストの上昇を抑えることができる。

【0043】また好ましくは、素子分離領域を形成する工程は、半導体基板の主表面に溝部を形成する工程と、溝部の上端近傍の溝部側面を露出させて溝部の上端を越えないように溝部内に絶縁体を埋込む工程とを含んでいる。第1保護膜を形成する工程は、溝部側面上に自己整合的に絶縁膜とはエッティング特性の異なる膜を形成する工程を含んでいる。

【0044】この場合には、新たなマスクを追加することなく、第1保護膜を溝部上端側面上に自己整合的に容易に形成することができる。

【0045】さらに好ましくは、第1保護膜はシリコン窒化膜であり、絶縁膜はシリコン酸化膜である。

【0046】この場合には、絶縁膜に開口部を形成する際に、シリコン窒化膜を実質的に残して、シリコン酸化膜のみをエッティングすることができる。

【0047】

【発明の実施の形態】実施の形態1

本発明の実施の形態1に係る半導体装置について図を用いて説明する。図1を参照して、半導体基板2の表面上にpウェル20が形成されている。そのpウェル20の表面上には、ゲート絶縁膜22aを介在させてゲート下部電極24aが形成されている。そのゲート下部電極24aを挟んでpウェル20の表面に、n-ソース領域26a、n+ソース領域32a、n-ドレイン領域26bおよびn+ドレイン領域32bが形成されている。ゲート下部電極24a、n-、n+ソース領域26a、32aおよびn-、n+ドレイン領域26b、32bにより、MOSトランジスタが構成される。

【0048】そのMOSトランジスタは、STIとしての溝10内に形成されたシリコン酸化膜12bによって他のMOSトランジスタなどの素子(図示せず)と電気

的に絶縁されている。n-、n+ソースおよびドレイン領域26a、26b、32a、32bの表面およびゲート下部電極24aの上面には、コバルトシリサイド膜34が形成されている。また、ゲート下部電極24aの両側面上には、サイドウォール絶縁膜としてのTEOS系酸化膜28aおよびシリコン窒化膜30aが形成されている。

【0049】ゲート下部電極24aおよびコバルトシリサイド膜34等を覆うように、半導体基板2上に層間絶縁膜36が形成されている。その層間絶縁膜36には、コバルトシリサイド膜34の表面を露出するコンタクトホール37a、37b、37cが形成されている。そのコンタクトホール37a、37b、37c内には、チタン40および窒化チタン41を介在させてタングステン42が形成されている。層間絶縁膜36上に、タングステン42等に電気的に接続されるソース電極43a、ゲート上部電極43bおよびドレイン電極43cがそれぞれ形成されている。

【0050】次に、上述した半導体装置の製造方法の一例について図を用いて説明する。まず、図2を参照して、半導体基板2の表面に、ウェット酸化により、約150Åのシリコン酸化膜4を形成する。そのシリコン酸化膜4上に、減圧CVD法により、約2000Åのシリコン窒化膜6を形成する。そのシリコン窒化膜6上に、所定のレジストパターン8を形成する。そのレジストパターン8をマスクとして、シリコン窒化膜6およびシリコン酸化膜4に異方性エッティングを施す。さらに、そのシリコン窒化膜6およびシリコン酸化膜4をマスクとして、半導体基板2に異方性エッティングを施すことによ

り、STIのための溝10を形成する。その後、レジストパターン8を除去する。

【0051】次に図3を参照して、溝10を埋めるようにシリコン窒化膜6上に、高密度プラズマCVD法により約5000Åのシリコン酸化膜12を形成する。次に図4を参照して、シリコン酸化膜12に、化学的機械的研磨を施すことにより、溝10内にシリコン酸化膜12bを残す。このとき、シリコン窒化膜6は、化学機械的研磨の際のストップ膜として作用する。その後、シリコン窒化膜6を、熱リシン酸などで除去する。さらに、シリコン酸化膜4を、フッ酸などにより除去する。

【0052】次に図5を参照して、シリコン酸化膜4が除去された半導体基板2の表面に、窒素などのドライ雰囲気および温度1100℃にて酸化することにより、約150Åの犠牲酸化膜14を形成する。その犠牲酸化膜14上に、減圧CVD法により約500Åのシリコン窒化膜16を形成する。そのシリコン窒化膜16上に、レジストパターン18を形成する。この工程では、図2に示す構成において、開口部10を形成する際に用いたマスクと同じマスクを用い、さらに、そのレジストパターン8のレジストタイプとは異なるタイプのレジストを用

40

50

いる。たとえば、図2に示すレジストパターン8がネガレジストであれば、ここでは、レジストパターン18としてポジレジストを用いる。これにより、レジストパターン18は、溝10に形成されたシリコン酸化膜12bを覆うように形成される。なお、レジストパターン18としては、露光条件の調整により、溝10の開口寸法よりも多少大きくなるように形成することが望ましい。

【0053】次に図6を参照して、レジストパターン18をマスクとして、シリコン窒化膜16に異方性エッチングを施すことにより、溝10内に形成されたシリコン酸化膜12bを覆うシリコン窒化膜16aを残して、他のシリコン窒化膜を除去する。その後、所定のレジストパターン(図示せず)をマスクとして、注入エネルギー250KeVにてボロンをイオン注入することにより、pウェル20を形成する。同様に、所定のレジストパターン(図示せず)をマスクとして、注入エネルギー400KeVにてリンをイオン注入することによりnウェル(図示せず)を形成する。

【0054】次に図7を参照して、従来の技術の項において説明した図47および図48に示す工程と同様に、半導体基板2上にゲート絶縁膜22aを介在させてゲート下部電極24aを形成する。そのゲート下部電極24a等をマスクとして、注入エネルギー60KeV、ドーズ量 $4 \times 10^{13}/\text{cm}^2$ 、角度45°斜め回転注入にて砒素をイオン注入することにより、n-ソース領域26aおよびn-ドレイン領域26bを形成する。その後、ゲート下部電極24aの両側面上にサイドウォール絶縁膜としてのTEOS系酸化膜28aおよびシリコン窒化膜30aを形成する。そのシリコン窒化膜30a等をマスクとして、注入エネルギー50KeV、ドーズ量 $4 \times 10^{15}/\text{cm}^2$ にて砒素をイオン注入することにより、n+ソース領域32aおよびn+ドレイン領域32bを形成する。これにより、LDD構造が形成される。なお、nウェル(図示せず)領域には、同様にして、注入エネルギー10KeV、ドーズ量 $2 \times 10^{13}/\text{cm}^2$ 、角度45°斜め回転注入にてボロンをイオン注入することにより、p-ソースおよびドレイン領域(図示せず)を形成する。また、注入エネルギー15KeV、ドーズ量 $4 \times 10^{15}/\text{cm}^2$ にてボロンをイオン注入することにより、p+ソースおよびドレイン領域(図示せず)を形成する。

【0055】次に図8を参照して、ゲート下部電極24aおよびシリコン窒化膜16aなどを覆うように、スパッタ法によりコバルト膜(図示せず)を半導体基板2上に形成する。その後、温度430°C、窒素雰囲気、時間60秒にてランプによるアニールを施すことにより、シリコン基板2中のシリコンとコバルト膜とを反応させ、コバルトシリサイド膜34を形成する。また、ゲート下部電極24a中のシリコンとコバルトとを反応させ、コバルトシリサイド膜34を形成する。シリコン窒化膜1

6a上に形成されたコバルトと、シリコン窒化膜16aとは反応しないため、シリコン窒化膜16a上のコバルト膜は未反応の状態で残る。その未反応のコバルトをウエット処理により除去する。その後、温度750°C、窒素雰囲気、時間90秒にてランプによるアニールを施すことにより、コバルトシリサイド膜34を安定化する。

【0056】次に図9を参照して、コバルトシリサイド膜34等を覆うように半導体基板2上に、常圧CVD法などにより約10000Åのシリコン酸化膜を形成する。CMP法によりそのシリコン酸化膜を平坦化し、さらに、その平坦化されたシリコン酸化膜上に、常圧CVD法により約1000Åのシリコン酸化膜を形成して、層間絶縁膜36を形成する。その層間絶縁膜36上に、レジストパターン38を形成する。そのレジストパターン38をマスクとして、層間絶縁膜36に異方性エッチングを施すことにより、コバルトシリサイド膜34の表面を露出するコンタクトホール37a、37b、37cをそれぞれ形成する。このとき、エッチングガス、圧力などの条件を最適化することにより、シリコン窒化膜16aを実質的にエッチングすることなくシリコン酸化膜からなる層間絶縁膜36をエッチングするのが望ましい。その後、レジストパターン38を除去する。

【0057】次に図10を参照して、スパッタ法により、層間絶縁膜36上にチタンおよび窒化チタン(いずれも図示せず)を順次形成する。その後、コンタクトホール37a、37b、37cを埋めるように、層間絶縁膜36上にCVD法により、タンゲステン膜(図示せず)を形成する。そのタンゲステン膜に異方性エッチングを施すことにより、コンタクトホール37a、37b、37c内にチタン40および窒化チタン41を介在させてタンゲステン42をそれぞれ形成する。その後、層間絶縁膜36上に、スパッタ法によりアルミニウム銅合金膜(図示せず)を形成する。そのアルミニウム銅合金膜上に、所定のレジストパターン(図示せず)を形成する。そのレジストパターンをマスクとして、アルミニウム銅合金膜に異方性エッチングを施すことにより、配線層としてのソース電極43a、ゲート上部電極43bおよびドレイン電極43cをそれぞれ形成する。以上の工程を経ることによって図1に示す半導体装置が完成する。

【0058】上述した半導体装置の製造方法によれば、素子分離領域となる溝10内に形成されたシリコン酸化膜12bを覆うように、シリコン窒化膜16aを形成する。これにより、図9に示す工程において、コンタクトホールを形成する際の、レジストパターン38のアライメントのずれに起因して、たとえば、コンタクトホール37cのように、その底面の全面にコバルトシリサイド膜34が露出するように形成されずに、コバルトシリサイド膜34とシリコン窒化膜16bとが露出するようにならざる場合であっても、シリコン窒化膜16aが保

護膜として作用するため、コンタクトホールを形成する際のオーバーエッチングによってシリコン酸化膜12bがエッチングされることが抑制される。これにより、溝10内のシリコン酸化膜12bがエッチングされて、そのコンタクトホールの下部側面に、n+ドレイン領域32bおよびpウェル20が露出するのを防ぎ、コンタクトホール37c内に形成されるタンゲステン42などによって、n+ドレイン領域32bとpウェル20とが電気的に短絡するのを防止することができる。その結果、完成した半導体装置では、ドレイン電極43cからコバルトシリサイド膜34およびn+ドレイン領域32bを経てpウェル20へ電流がリークするのを抑制でき、半導体装置の電気的特性が向上し、所望の動作特性を得ることができる。

【0059】なお、シリコン窒化膜16aはシリコン酸化膜12bの全面を覆うように形成したが、n+ドレイン領域32bに接する部分およびその近傍のシリコン酸化膜12bを覆うようなシリコン窒化膜を形成しても上述した効果を得ることができる。

【0060】実施の形態2

実施の形態2に係る半導体装置について図を用いて説明する。図11を参照して、本実施の形態に係る半導体装置では、特に、溝10内に形成されたシリコン酸化膜12b上にTEOS系酸化膜28bを介在させてシリコン窒化膜30bが形成されている。そのTEOS系酸化膜28bとシリコン窒化膜30bとは、ゲート下部電極24aの両側面上に形成されたサイドウォール絶縁膜としてのTEOS系酸化膜28aおよびシリコン窒化膜30aと同じ層から形成されている。なお、これ以外の構成については、実施の形態1において説明した図1に示す構造と同様なので同一部材には同一符号を付し、その説明を省略する。

【0061】次に、上述した半導体装置の製造方法の一例について図を用いて説明する。まず、図12に示す工程までは、実施の形態1において説明した図4に示す工程までと同様である。その後、熱リン酸などによりシリコン窒化膜6を除去する。さらに、フッ酸などによりシリコン酸化膜4を除去する。

【0062】次に図13を参照して、窒素などのドライ雰囲気中、温度1100℃にて熱処理を施すことにより、半導体基板2の表面に約150Åの犠牲酸化膜14を形成する。そして、所定のレジストパターン（図示せず）をマスクとして、注入エネルギー250KeVにて、ボロンをイオン注入することによりpウェル20を形成する。また、同様にして、注入エネルギー400KeVにて、リンをイオン注入することによりnウェル（図示せず）を形成する。その後、フッ酸などにより犠牲酸化膜14を除去する。

【0063】次に図14を参照して、熱酸化法により、半導体基板2の表面に約40Åのシリコン酸化膜22を

形成する。そのシリコン酸化膜22上に、減圧CVD法により、ポリシリコン膜24を形成する。そのポリシリコン膜24上に、レジストパターン45を形成する。

【0064】次に図15を参照して、レジストパターン45をマスクとして、ポリシリコン膜24に異方性エッチングを施すことにより、ゲート下部電極24aを形成する。次に、そのゲート下部電極24aおよびレジストパターン46をマスクとして、注入エネルギー60KeV、ドーズ量 $4 \times 10^{13}/cm^2$ 、角度45°斜め回転注入にて砒素をイオン注入することにより、n-ソース領域26aおよびn-ドレイン領域26bを形成する。その後レジストパターン46を除去する。

【0065】次に図16を参照して、ゲート下部電極24aを覆うように、半導体基板2上に約150ÅのTEOS系酸化膜28を形成する。そのTEOS系酸化膜28上に、減圧CVD法により約750Åのシリコン窒化膜30を形成する。そのシリコン窒化膜30上にレジストパターン18を形成する。このとき、実施の形態1において説明した図5に示す工程と同様に、溝10を形成する際に用いたマスクと同じマスクを用いるとともに、その工程におけるレジストのタイプとは異なるタイプのレジストを用いることが望ましい。

【0066】次に図17を参照して、レジストパターン18をマスクとして、シリコン窒化膜30およびTEOS系酸化膜28に異方性エッチングを施すことにより、ゲート下部電極24aの両側面上に、サイドウォール絶縁膜としてのTEOS系酸化膜28aおよびシリコン窒化膜30aを形成するとともに、溝10内に形成されたシリコン酸化膜12bを覆うように、TEOS系酸化膜28bおよびシリコン窒化膜30bを形成する。その後、シリコン窒化膜30aおよびゲート下部電極24aなどをマスクとして、注入エネルギー50KeV、ドーズ量 $4 \times 10^{15}/cm^2$ にて、砒素をイオン注入することにより、n+ソース領域32aおよびn+ドレイン領域32bを形成する。

【0067】次に図18を参照して、実施の形態1において説明した図8に示す工程と同様の方法により、n+ソースおよびドレイン領域32a、32bおよびゲート下部電極24aの表面にコバルトシリサイド膜34を形成する。

【0068】次に図19を参照して、半導体基板2上に層間絶縁膜36を形成するとともに、その層間絶縁膜36に、コバルトシリサイド膜34の表面を露出するコンタクトホール37a、37b、37cをそれぞれ形成する。その後、コンタクトホール37a、37b、37c内にチタンおよび窒化チタンを介在させてタンゲステンを形成するとともに、層間絶縁膜36上にソース電極、ゲート上部電極およびドレイン電極を形成することにより、図11に示す半導体装置が完成する。

【0069】上述した製造方法によれば、シリコン酸化

膜12bを覆うように、TEOS系酸化膜28bおよびシリコン窒化膜30bを形成する。しかも、シリコン酸化膜12bを覆うTEOS系酸化膜28bとシリコン窒化膜30bとは、ゲート下部電極24aの両側面上に形成されるサイドウォール絶縁膜としてのTEOS系酸化膜28aおよびシリコン窒化膜30aとそれぞれ同じ層から形成される。このため、シリコン酸化膜12bを覆うための保護膜としての層を改めて形成する必要はない。その結果、実施の形態1において説明したリーク電流の低減効果に加えて、工程数の増加を抑えて製造コストの上昇を最小限に抑制することができる効果が得られる。

【0070】実施の形態3

実施の形態3に係る半導体装置について図を用いて説明する。図20を参照して、pウェル20のMOSトランジスタ領域には、ゲート下部電極24a、n-ソースおよびドレイン領域26a、26b、n⁺ソースおよびドレイン領域32a、32bを含むMOSトランジスタが形成されている。そして、拡散抵抗素子領域には、溝10内に形成されたシリコン酸化膜12bによって、そのMOSトランジスタと電気的に絶縁された他の素子として、拡散抵抗素子47が形成されている。

【0071】その拡散抵抗素子47およびシリコン酸化膜12bを覆うように、シリコン窒化膜48aが形成されている。特に、シリコン酸化膜12bを覆うシリコン窒化膜は、コバルトシリサイド膜34を形成する際に、拡散抵抗素子47の表面にコバルトシリサイド膜が形成されるのを防止するためのシリコン窒化膜と同じ層から形成されている。なお、これ以外の構成については実施の形態1において説明した図1に示す構成と同様なので、同一部材には同一符号を付し、その説明を省略する。

【0072】次に、上述した半導体装置の製造方法の一例について図を用いて説明する。まず、図21に示す工程までは、実施の形態2において説明した図11から図15に示す工程までと同様なので、その詳しい説明を省略する。次に図22を参照して、ゲート下部電極24aの両側面上に、サイドウォール絶縁膜としてのTEOS系酸化膜28aおよびシリコン窒化膜30aを形成する。その後、そのシリコン窒化膜30aおよびゲート下部電極24aなどをマスクとして、注入エネルギー50KeV、ドーズ量4×10¹⁵/cm²にて砒素をイオン注入することにより、n⁺ソース領域32aおよびn⁺ドレイン領域32bを形成する。このとき、拡散抵抗素子領域には、拡散抵抗素子47が形成される。

【0073】次に図23を参照して、ゲート下部電極24a等を覆うように、半導体基板2上に、減圧CVD法によりシリコン窒化膜48を形成する。そのシリコン窒化膜48上に、少なくともシリコン酸化膜12bおよび拡散抵抗素子47を覆うレジストパターン50を形成す

る。

【0074】次に図24を参照して、レジストパターン50をマスクとして、シリコン窒化膜48にエッチングを施し、少なくともシリコン酸化膜12bおよび拡散抵抗素子47を覆うシリコン窒化膜48aを形成する。その後、半導体基板2上に、スパッタ法によりコバルト膜を形成する。その後、窒素雰囲気、温度430℃、時間90秒にてランプによるアニールを施す。このとき、シリコン基板2中のシリコンとコバルト膜とが反応して、10コバルトシリサイド膜34が自己整合的に形成される。また、ゲート下部電極24a中のシリコンとコバルト膜とが反応してコバルトシリサイド膜34が形成される。なお、拡散抵抗素子47の表面にはシリコン窒化膜48aが形成されているため、コバルト膜と拡散抵抗素子中のシリコンとは反応せず、未反応のコバルト膜がシリコン窒化膜48a上に残る。未反応のコバルト膜をウェット処理により選択的に除去することにより、コバルトシリサイド膜34を形成する。さらに、温度750℃、時間60秒の熱処理を施すことにより、コバルトシリサイド膜34を安定化させる。

【0075】次に図25を参照して、コバルトシリサイド膜34などを覆うように半導体基板2上に層間絶縁膜36を形成する。その層間絶縁膜36上に所定のレジストパターン(図示せず)を形成する。そのレジストパターンをマスクとして、層間絶縁膜36に異方性エッチングを施すことにより、コンタクトホール37a、37b、37cをそれぞれ形成する。その後、コンタクトホール37a、37b、37c内にチタンおよび窒化チタンを介在させてタンガステン(いずれも図示せず)を形成する。そして、層間絶縁膜36上に、ソース電極、ゲート上部電極およびドレイン電極を形成することにより、図20に示す半導体装置が完成する。

【0076】上述した製造方法によれば、シリコン酸化膜12bを覆うシリコン窒化膜として、拡散抵抗素子の表面を覆って、コバルト膜と拡散抵抗素子中のシリコンとがシリサイド反応を起こすのを防止するためのシリコン窒化膜48aと同じ層からなるシリコン窒化膜を適用している。このため、シリコン酸化膜12bを覆うシリコン窒化膜をあらためて形成する必要がない。その結果、実施の形態1において説明したリーク電流の低減効果に加えて、製造コストの上昇を最小限に抑制できる効果が得られる。

【0077】実施の形態4

実施の形態4に係る半導体装置について図を用いて説明する。図26を参照して、pウェル20の表面には、素子分離領域としての溝10内に形成されたシリコン酸化膜12bによって互いに電気的に絶縁された第1のMOSトランジスタ領域と第2のMOSトランジスタ領域が形成されている。第1のMOSトランジスタ領域には、50ゲート下部電極24a、n-ソースおよびドレイン領域

26a、26b、n+ ソースおよびドレイン領域32a、32bを含む、第1のMOSトランジスタが形成されている。第2のMOSトランジスタ領域には、ゲート下部電極24b、n- ソースおよびドレイン領域52a、52b、n+ ソースおよびドレイン領域53a、53bを含む第2のMOSトランジスタが形成されている。

【0078】第2のMOSトランジスタのゲート酸化膜54aは、第1のMOSトランジスタのゲート酸化膜22aよりも厚い。そして、シリコン酸化膜12bを覆うようにシリコン窒化膜56aが形成されている。このシリコン窒化膜56aは、それぞれ異なる膜厚を有するゲート酸化膜の形成において、一方のゲート酸化膜を形成する際に、他方のゲート酸化膜を覆って、他方のゲート酸化膜が酸化されて膜厚が増加するのを防止するためのシリコン窒化膜と同じ層から形成されている。なお、これ以外の構成については、実施の形態1において説明した図1に示す構成と実質的に同様なので同一部材には同一符号を付し、その説明を省略する。

【0079】次に、上述した半導体装置の製造方法の一例について図を用いて説明する。まず、図27に示す工程までは、実施の形態2において説明した図10に示す工程までと同様である。その後、熱リン酸などによりシリコン窒化膜6を除去する。さらに、フッ酸などによりシリコン酸化膜4を除去する。

【0080】次に図28を参照して、半導体基板2の表面に、犠牲酸化膜14を形成する。その後、半導体基板2上に所定のレジストパターン（図示せず）を形成する。そのレジストパターンをマスクとして、注入エネルギー250KeVにて、ボロンをイオン注入することによりpウェル20を形成する。その後、フッ酸などにより犠牲酸化膜14を除去する。

【0081】次に図29を参照して、半導体基板2の表面に、熱酸化法により約40Åのシリコン酸化膜22を形成する。そのシリコン酸化膜22上に、減圧CVD法により約700Åのシリコン窒化膜56を形成する。そのシリコン窒化膜56上にレジストパターン58を形成する。そのレジストパターン58をマスクとして、シリコン窒化膜56に異方性エッチングを施す。その後、レジストパターン58を除去する。これにより、第1のMOSトランジスタ領域のシリコン酸化膜22を覆って、第2のMOSトランジスタ領域のゲート酸化膜を形成する際に、第1のMOSトランジスタ領域のシリコン酸化膜22が酸化されて膜厚が増加するのを防止するシリコン窒化膜56が形成される。さらに、溝10内に形成されたシリコン酸化膜12bを覆うシリコン窒化膜が、そのシリコン窒化膜56と同じ層から形成される。

【0082】次に図30を参照して、熱酸化法により、半導体基板2の第2のMOSトランジスタ領域の表面に約150Åのシリコン酸化膜54を形成する。その後、

シリコン酸化膜12bを覆うように、シリコン窒化膜56上に所定のレジストパターン（図示せず）を形成する。このレジストパターンの形成は、実施の形態1において説明した図5に示す工程と同様の方法によって形成することが望ましい。

【0083】次に、図31を参照して、そのレジストパターンをマスクとして、シリコン窒化膜56に異方性エッチングを施すことにより、シリコン酸化膜10上にシリコン窒化膜56aを形成する。その後、シリコン酸化膜22、54およびシリコン窒化膜56aを覆うように半導体基板2上にポリシリコン膜24を形成する。そのポリシリコン膜24上にレジストパターン60を形成する。

【0084】次に図32を参照して、レジストパターン60をマスクとして、ポリシリコン膜24に異方性エッチングを施し、第1のMOSトランジスタ領域にゲート下部電極24aを形成し、第2のMOSトランジスタ領域にゲート下部電極24bをそれぞれ形成する。その後、レジストパターン60を除去する。そして、ゲート下部電極24a、24bをマスクとして、注入エネルギー60KeV、ドーズ量 $4 \times 10^{13}/cm^2$ 、角度45°斜め回転注入にて砒素をイオン注入することにより、第1のMOSトランジスタ領域にn- ソースおよびドレイン領域26a、26bを形成する。第2のMOSトランジスタ領域に、n- ソースおよびドレイン領域52a、52bを形成する。

【0085】次に図33を参照して、ゲート下部電極24aの両側面上に、サイドウォール絶縁膜としてのTEOS系酸化膜28aおよびシリコン窒化膜30aを形成する。また、ゲート下部電極24bの両側面上に、サイドウォール絶縁膜としてのTEOS系酸化膜28bおよびシリコン窒化膜30bを形成する。その後、シリコン窒化膜30a、30bおよびゲート下部電極24a、24b等をマスクとして、注入エネルギー50KeV、ドーズ量 $4 \times 10^{15}/cm^2$ にて砒素をイオン注入することにより、第1のMOSトランジスタ領域にn+ ソースおよびドレイン領域32a、32bを形成し、第2のMOSトランジスタ領域に、n+ ソースおよびドレイン領域53a、53bを形成する。その後、実施の形態1において説明した図8に示す工程と同様の方法により、n+ ソースおよびドレイン領域32a、32b、53a、53bの表面およびゲート下部電極24a、24bの表面にコバルトシリサイド膜34をそれぞれ自己整合的に形成する。

【0086】次に図34を参照して、半導体基板2上に層間絶縁膜36を形成する。その層間絶縁膜36上に所定のレジストパターン（図示せず）を形成する。そのレジストパターンをマスクとして、層間絶縁膜36に異方性エッチングを施し、コバルトシリサイド膜34の表面を露出するコンタクトホール37a、37b、37c、

37dをそれぞれ形成する。その後、コンタクトホール37a、37b、37c、37d内にチタンおよび窒化チタンを介在させてタンゲステン（いずれも図示せず）を形成する。そして、層間絶縁膜36上に、ソース電極、ゲート上部電極およびドレイン電極を形成することにより、図26に示す半導体装置が完成する。

【0087】上述した製造方法によれば、図30に示されるように、シリコン酸化膜12bを覆うシリコン窒化膜として、第2のMOSトランジスタのゲート酸化膜となるシリコン酸化膜54を形成する際に、第1のMOSトランジスタのゲート酸化膜となるシリコン酸化膜22を覆って、シリコン酸化膜22が酸化されて膜厚が増加するのを防止するシリコン窒化膜56と同じ層からなるシリコン窒化膜56aが形成される。このため、シリコン酸化膜12bを覆うシリコン窒化膜をあらためて形成する必要がない。その結果、実施の形態1において説明したリーク電流の低減効果に加えて、製造コストの上昇を最小限に抑制できる効果が得られる。

【0088】実施の形態5

実施の形態5に係る半導体装置について図を用いて説明する。図35を参照して、pウェル20には、素子分離領域として、溝10内にシリコン酸化膜12cが形成されている。そのシリコン酸化膜12cは、溝10の開口端近傍の側面が露出する程度に溝10内に形成されている。その露出した溝側面上には、シリコン窒化膜62が自己整合的に形成されている。なお、これ以外の構成については実施の形態1において説明した図1に示す構成と実質的に同様なので同一部材には同一符号を付し、その説明を省略する。

【0089】次に、上述した半導体装置の製造方法の一例について図を用いて説明する。まず、図36に示す工程までは、実施の形態1において説明した図2から図4に示す構成と同様である。次に図37を参照して、熱リシン酸などによりシリコン窒化膜6を除去する。さらに、フッ酸などによりシリコン酸化膜4を除去するとともに、シリコン酸化膜12aをエッチングする。

【0090】その後、半導体基板2上に犠牲酸化膜（図示せず）を形成するとともに、注入エネルギー250KeVにてボロンをイオン注入することによりpウェル20を形成する。その後、犠牲酸化膜を除去する。このとき、シリコン酸化膜12aをエッチングすることにより、溝10の開口端近傍の側面を露出させる。このようにして、溝10内には、シリコン酸化膜12cが形成される。

【0091】次に図38を参照して、半導体基板2上にシリコン窒化膜（図示せず）を形成する。そのシリコン窒化膜に異方性エッチングを施すことにより、溝10の開口端近傍の側面上にシリコン窒化膜62を自己整合的に形成する。その後、半導体基板2上に、熱酸化法によりシリコン酸化膜22を形成する。

【0092】次に図39を参照して、シリコン酸化膜22上にゲート下部電極24aを形成する。そのゲート下部電極24aをマスクとして、砒素をイオン注入することによりn+ソースおよびドレイン領域26a、26bを形成する。

【0093】次に図40を参照して、ゲート下部電極24aの両側面上に、サイドウォール絶縁膜としてのTEOS系酸化膜28aおよびシリコン窒化膜30aを形成する。その後、シリコン窒化膜30aおよびゲート下部電極24aをマスクとして、砒素をイオン注入することにより、n+ソースおよびドレイン領域32a、32bを形成する。

【0094】次に図41を参照して、n+ソースおよびドレイン領域32a、32bおよびゲート下部電極24aの表面に自己整合的にコバルトシリサイド膜34を形成する。そのコバルトシリサイド膜34等を覆うように半導体基板2上に層間絶縁膜36を形成する。その層間絶縁膜36上に形成された所定のレジストパターン（図示せず）をマスクとして、層間絶縁膜36に異方性エッチングを施すことによりコバルトシリサイド膜34の表面を露出するコンタクトホール37a、37b、37cをそれぞれ形成する。その後、コンタクトホール37a、37b、37c内に、チタンおよび窒化チタンを介在させてタンゲステン（いずれも図示せず）を形成する。そして、層間絶縁膜36上にソース電極、ゲート上部電極およびドレイン電極を形成することにより、図35に示す半導体装置が完成する。

【0095】上述した製造方法によれば、図35に示されるように、シリコン酸化膜12cを部分的に覆うシリコン窒化膜として、溝10の開口端近傍の側面上に自己整合的に形成されたシリコン窒化膜62が適用される。このため、シリコン窒化膜62を形成するための附加的な写真製版工程を追加する必要はない。しかも、このシリコン窒化膜62は、開口端近傍の側面に露出しているn+ドレイン領域32bおよび半導体基板2の領域を覆うように形成されている。

【0096】その結果、実施の形態1において説明したリーク電流の低減効果に加えて、製造コストの上昇を最小限に抑制できる効果が得られる。

【0097】なお、上述した各実施の形態では、コンタクトホールのずれとしてレジストパターンのずれなどに起因する場合を挙げたが、この他に、たとえば、微細化に伴うレイアウトパターンの制約上、コンタクトホールを所定の位置からずらして形成せざるを得ない場合でも、上述した構造を採用することにより、リーク電流の低減効果などを得ることができる。

【0098】今回開示された実施の形態は全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味おり

より範囲内のすべての変更が含まれることが意図される。

【0099】

【発明の効果】本発明の1つの局面における半導体装置によれば、絶縁膜に開口部を形成する際に、開口部を形成するためのレジストパターンが、たとえばアライメントのずれなどにより素子分離領域上にかかるように形成された場合であっても、絶縁膜をエッティングする際に第1保護膜の存在によって素子分離膜がエッティングされるのを防止することができる。これにより、開口部に形成される導電体によって第2導電領域から第1導電領域を経て半導体基板へ電流がリークするのを防止することができ、その結果、半導体装置の電気的特性が向上し、所望の動作特性が得られる。

【0100】好ましくは、半導体基板の主表面に、第1導電領域と距離を隔てて形成された第3導電領域と、第1導電領域と第3導電領域とによって挟まれた領域上に、ゲート絶縁膜を介在させて形成されたゲート電極と、ゲート電極の両側面上に形成された側壁絶縁膜とを含み、第1保護膜とその側壁絶縁膜とは同じ層からなることによって、新たな膜形成工程を追加することなく第1保護膜を形成することができる。

【0101】また好ましくは、第1保護膜は素子分離領域の表面全体を覆っていることによって、第1保護膜を形成するためのマスクとして、素子分離領域を形成するためのマスクを用いることができ、その結果、新たなマスクを追加することなく第1保護膜を形成することができる。

【0102】好ましくは、半導体基板の主表面に第1導電領域と距離を隔てて形成された第3導電領域と、第1導電領域と第3導電領域とによって挟まれた領域上に、ゲート絶縁膜を介在させて形成されたゲート電極と、半導体基板の主表面に形成された抵抗素子と、その抵抗素子を覆うように形成された第2保護膜と、第1導電領域および第3導電領域上に形成された導電層とを含み、第1保護膜と第2保護膜とは同じ層からなることによって、新たな膜形成工程を追加することなく第1保護膜を形成することができる。

【0103】また好ましくは、素子分離領域は、半導体基板の主表面に形成された溝部と、その溝部の上端近傍の溝部側面を露出させて溝部の上端を越えないように溝部内に形成された絶縁体とを含み、第1保護膜はその溝部側面上に形成されていることによって、第1保護膜は、新たなマスクを追加することなく溝部上端側面上に自己整合的に容易に形成される。

【0104】さらに好ましくは、第1保護膜はシリコン窒化膜であり、絶縁膜はシリコン酸化膜であることによって、絶縁膜に開口部を形成する際に、シリコン窒化膜を実質的にエッティングせずに、シリコン酸化膜のみをエッティングすることができる。これにより、シリコン窒化

膜下の領域がエッティングされるのを容易に防止することができる。

【0105】本発明の他の局面における半導体装置の製造方法によれば、絶縁膜に開口部を形成する際に、開口部を形成するためのレジストパターンが、アライメントのずれなどにより素子分離領域上にかかるように形成された場合であっても、絶縁膜をエッティングする際に第1保護膜によって素子分離領域がエッティングされるのを防止することができる。これにより、第1絶縁膜のない場合と比較すると、素子分離領域がエッティングされて開口部の側面に第1導電領域とその第1導電領域下の半導体基板の領域とが露出して開口部が形成されるのを防止でき、その開口部に形成される導電体によって第2導電領域から第1導電領域を経て半導体基板へ電流がリークするのを抑制することができる。その結果、電気的特性の向上が図られ所望の動作特性が得られる半導体装置を製造することができる。

【0106】好ましくは、素子分離領域を形成する工程は、半導体基板上に所定タイプの第1フォトレジストを形成する工程と、第1フォトレジストを所定のマスクを用いて露光することにより、第1フォトレジストパターンを形成する工程と、その第1フォトレジストパターンをマスクとして、半導体基板に加工を施すことにより、半導体基板の所定の領域に、溝部を形成する工程と、その溝部に絶縁体を形成する工程とを含んでいる。また、第1保護膜を形成する工程は、素子分離領域を覆うように半導体基板上に絶縁膜とはエッティング特性の異なる保護層を形成する工程と、その保護層上に所定タイプとは異なるタイプの第2フォトレジストを形成する工程と、

その第2フォトレジストを所定のマスクを用いて露光することにより、第2フォトレジストパターンを形成する工程と、その第2フォトレジストパターンをマスクとして、保護層に加工を施すことにより、素子分離領域の表面を覆う第1保護膜を形成する工程とを含んでいることによって、第1保護膜を形成するためのマスクとして、素子分離領域を形成するための第1フォトレジストパターンのレジストタイプと異なるレジストタイプを用いることによって、素子分離形成領域を形成するためのマスクを用いることができる。これにより、新たなマスクを作製することなく、第1保護膜を形成することができ、製造コストの上昇を抑制することができる。

【0107】好ましくは、素子分離領域を形成する工程と絶縁膜を形成する工程との間に、半導体基板上にゲート絶縁膜を介在させてゲート電極を形成する工程と、ゲート電極を挟んで半導体基板の主表面に所定導電型の1対の不純物領域を形成する工程と、ゲート電極の両側面上に側壁絶縁膜を形成する工程とを備えている。1対の不純物領域を形成する工程は、一方の領域に第1導電領域を形成する工程を含んでいる。側壁絶縁膜を形成する工程は、第1保護膜を形成する工程と同時に進行なわれる

ことによって、ゲート電極の側壁絶縁膜を形成する際に、その側壁絶縁膜と同じ層から第1保護膜を形成することができる。これにより、新たな膜形成工程を追加することなく第1保護膜を形成でき、製造コストの上昇を抑えることができる。

【0108】また好ましくは、素子分離領域を形成する工程と絶縁膜を形成する工程との間に、半導体基板上にゲート絶縁膜を介在させてゲート電極を形成する工程と、ゲート電極を挟んで半導体基板の主表面に所定導電型の1対の不純物領域を形成する工程と、半導体基板の主表面に抵抗素子を形成する工程と、少なくとも抵抗素子を覆うように第2保護膜を形成する工程と、1対の不純物領域上に、自己整合的に導電層を形成する工程とを備えている。1対の不純物領域を形成する工程は、一方の領域に第1導電型領域を形成する工程を含んでいる。第2保護膜を形成する工程は、第1保護膜を形成する工程と同時に行なわれることによって、新たな膜形成工程を追加することなく第1保護膜を形成でき、製造コストの上昇を抑えることができる。

【0109】また好ましくは、素子分離領域を形成する工程と絶縁膜を形成する工程との間に、半導体基板上に第1ゲート絶縁膜用絶縁層を形成する工程と、第1ゲート絶縁膜用絶縁層および素子分離領域を覆うように第3保護膜を形成する工程と、半導体基板上に第2ゲート絶縁膜用絶縁層を形成する工程と、第3保護膜のうち、少なくとも素子分離領域を覆う部分を残して他の部分を除去する工程と、第1ゲート絶縁膜用絶縁層および第2絶縁膜用絶縁層上に導電層を形成するとともに、所定の加工を施すことにより、半導体基板上に第1ゲート絶縁膜を介在させて第1ゲート電極および第2ゲート絶縁膜を介在させて第2ゲート電極を形成する工程とを備えている。第3保護膜を形成する工程は、第1保護膜を形成する工程と同時に行なわれることによって、新たな膜形成工程を追加することなく第1保護膜を形成でき、製造コストの上昇を抑えることができる。

【0110】また好ましくは、素子分離領域を形成する工程は、半導体基板の主表面に溝部を形成する工程と、溝部の上端近傍の溝部側面を露出させて溝部の上端を越えないように溝部内に絶縁体を埋込む工程とを含んでいる。第1保護膜を形成する工程は、溝部側面上に自己整合的に絶縁膜とはエッチング特性の異なる膜を形成する工程を含めることによって、新たなマスクを追加することなく、第1保護膜を溝部上端側面上に自己整合的に容易に形成することができる。

【0111】さらに好ましくは、第1保護膜はシリコン窒化膜であり、絶縁膜はシリコン酸化膜であることによって、絶縁膜に開口部を形成する際に、シリコン窒化膜を実質的に残して、シリコン酸化膜のみをエッチングすることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の一断面図である。

【図2】 同実施の形態において、図1に示す半導体装置の製造方法の1工程を示す断面図である。

【図3】 同実施の形態において、図2に示す工程の後に行なわれる工程を示す断面図である。

【図4】 同実施の形態において、図3に示す工程の後に行なわれる工程を示す断面図である。

10 【図5】 同実施の形態において、図4に示す工程の後に行なわれる工程を示す断面図である。

【図6】 同実施の形態において、図5に示す工程の後に行なわれる工程を示す断面図である。

【図7】 同実施の形態において、図6に示す工程の後に行なわれる工程を示す断面図である。

【図8】 同実施の形態において、図7に示す工程の後に行なわれる工程を示す断面図である。

【図9】 同実施の形態において、図8に示す工程の後に行なわれる工程を示す断面図である。

20 【図10】 同実施の形態において、図9に示す工程の後に行なわれる工程を示す断面図である。

【図11】 本発明の実施の形態2に係る半導体装置の一断面図である。

【図12】 同実施の形態において、図11に示す半導体装置の製造方法の1工程を示す断面図である。

【図13】 同実施の形態において、図12に示す工程の後に行なわれる工程を示す断面図である。

【図14】 同実施の形態において、図13に示す工程の後に行なわれる工程を示す断面図である。

30 【図15】 同実施の形態において、図14に示す工程の後に行なわれる工程を示す断面図である。

【図16】 同実施の形態において、図15に示す工程の後に行なわれる工程を示す断面図である。

【図17】 同実施の形態において、図16に示す工程の後に行なわれる工程を示す断面図である。

【図18】 同実施の形態において、図17に示す工程の後に行なわれる工程を示す断面図である。

【図19】 同実施の形態において、図18に示す工程の後に行なわれる工程を示す断面図である。

40 【図20】 本発明の実施の形態3に係る半導体装置の一断面図である。

【図21】 同実施の形態において、図20に示す半導体装置の製造方法の1工程を示す断面図である。

【図22】 同実施の形態において、図21に示す工程の後に行なわれる工程を示す断面図である。

【図23】 同実施の形態において、図22に示す工程の後に行なわれる工程を示す断面図である。

【図24】 同実施の形態において、図23に示す工程の後に行なわれる工程を示す断面図である。

50 【図25】 同実施の形態において、図24に示す工程の後に行なわれる工程を示す断面図である。

27

【図26】 本発明の実施の形態4に係る半導体装置の一断面図である。

【図27】 同実施の形態において、図26に示す半導体装置の製造方法の1工程を示す断面図である。

【図28】 同実施の形態において、図27に示す工程の後に行なわれる工程を示す断面図である。

【図29】 同実施の形態において、図28に示す工程の後に行なわれる工程を示す断面図である。

【図30】 同実施の形態において、図29に示す工程の後に行なわれる工程を示す断面図である。

【図31】 同実施の形態において、図30に示す工程の後に行なわれる工程を示す断面図である。

【図32】 同実施の形態において、図31に示す工程の後に行なわれる工程を示す断面図である。

【図33】 同実施の形態において、図32に示す工程の後に行なわれる工程を示す断面図である。

【図34】 同実施の形態において、図33に示す工程の後に行なわれる工程を示す断面図である。

【図35】 本発明の実施の形態5に係る半導体装置の一断面図である。

【図36】 同実施の形態において、図35に示す半導体装置の製造方法の1工程を示す断面図である。

【図37】 同実施の形態において、図36に示す工程の後に行なわれる工程を示す断面図である。

【図38】 同実施の形態において、図37に示す工程の後に行なわれる工程を示す断面図である。

【図39】 同実施の形態において、図38に示す工程の後に行なわれる工程を示す断面図である。

【図40】 同実施の形態において、図39に示す工程の後に行なわれる工程を示す断面図である。

【図41】 同実施の形態において、図40に示す工程の後に行なわれる工程を示す断面図である。

【図42】 従来の半導体装置の一断面図である。

【図43】 図42に示す半導体装置の製造方法の1工程を示す断面図である。

*

28

* 【図44】 図43に示す工程の後に行なわれる工程を示す断面図である。

【図45】 図44に示す工程の後に行なわれる工程を示す断面図である。

【図46】 図45に示す工程の後に行なわれる工程を示す断面図である。

【図47】 図46に示す工程の後に行なわれる工程を示す断面図である。

【図48】 図47に示す工程の後に行なわれる工程を示す断面図である。

【図49】 図48に示す工程の後に行なわれる工程を示す断面図である。

【図50】 図49に示す工程の後に行なわれる工程を示す断面図である。

【図51】 図50に示す工程の後に行なわれる工程を示す断面図である。

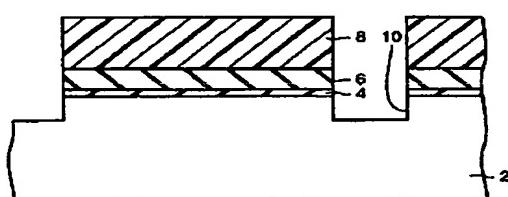
【図52】 図51に示す工程の後に行なわれる工程を示す断面図である。

【図53】 従来の半導体装置の問題点を説明するための一断面図である。

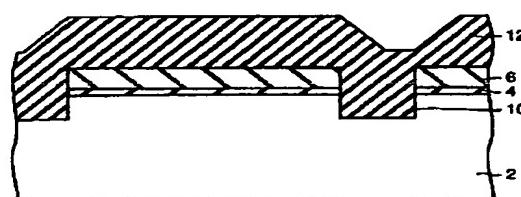
【符号の説明】

2 半導体基板、10 溝、12a、12b、12c
 シリコン酸化膜、16a シリコン窒化膜、20 pウ
 エル、22a、54a ゲート酸化膜、24a、24b
 ゲート下部電極、26a、52a n-ソース領域、
 26b、52b n-ドレイン領域、32a、53a n
 +ソース領域、32b、53b n+ドレイン領域、2
 8a、28b TEOS系酸化膜、30a、30b シ
 リコン窒化膜、34 コバルトシリサイド膜、36 層
 30 間絶縁膜、37a、37b、37c、37d コンタク
 トホール、40 チタン、41 窒化チタン、42 タ
 ングステン、43a ソース電極、43b ゲート上部
 電極、43c ドレイン電極、47 拡散抵抗素子、4
 8a、56a、62 シリコン窒化膜。

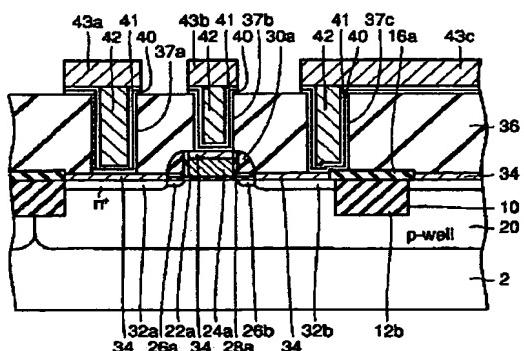
【図2】



【図3】

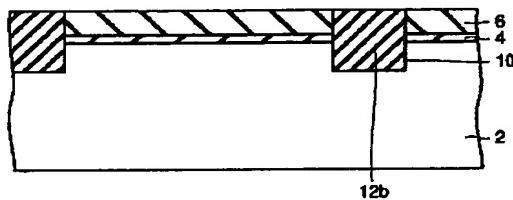


【図1】

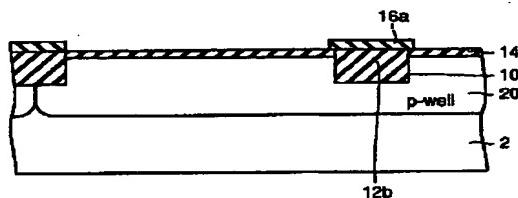


2: 半導体基板
16: シリコン酸化膜
22a: ゲート酸化膜
26b: n⁻ドレイン領域
32a: n⁺ソース領域
34: コバルトシリサイド膜
37a,37b,37c,37d: コンタクトホール
10: 滲
20: pウェル
26a: n⁻ソース領域
30a,30b: シリコン酸化膜
32b: n⁺ドレイン領域
36: 層間絶縁膜

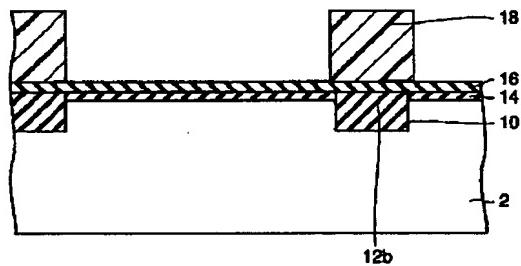
【図4】



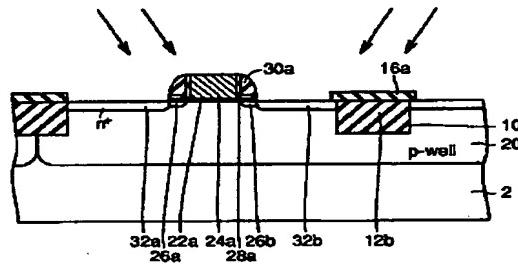
【図6】



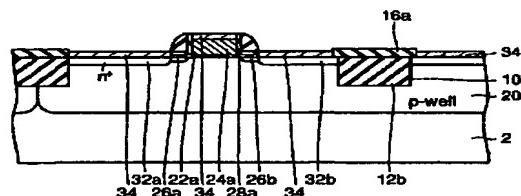
【図5】



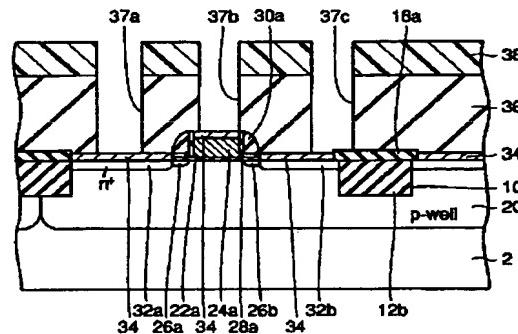
【図7】



【図8】

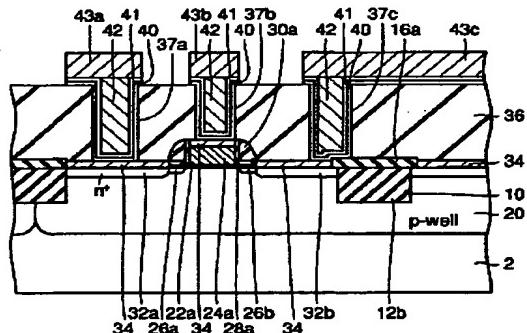


【図9】

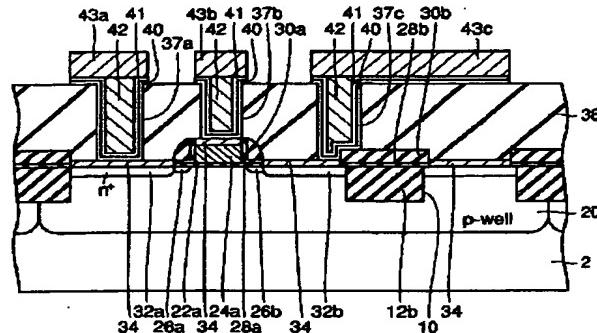


BEST AVAILABLE COPY

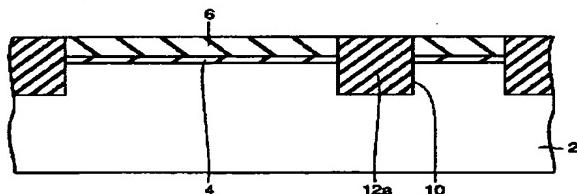
【図10】



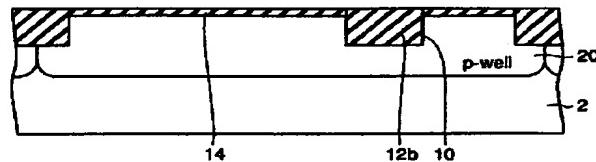
【図 1-1】



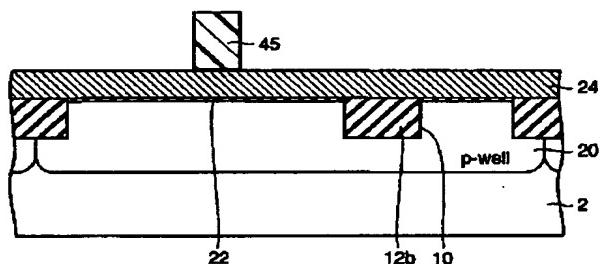
【図12】



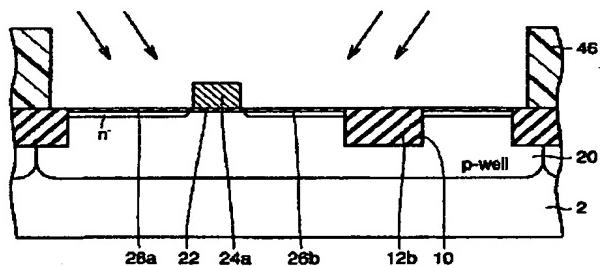
【図13】



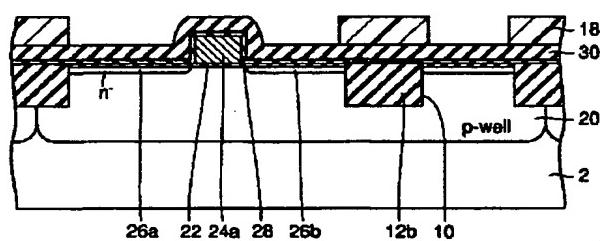
【图 1-4】



【図 15】

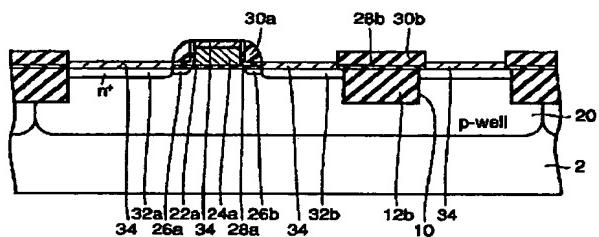


[図16]

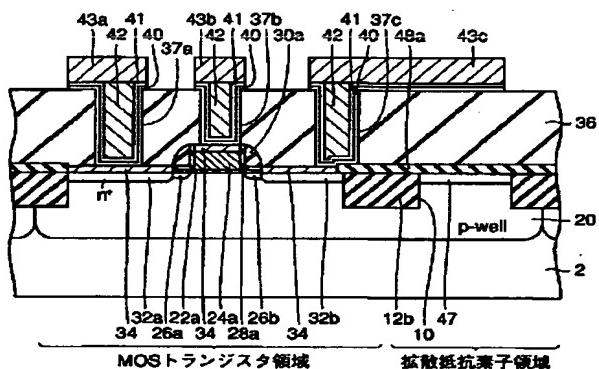


This cross-sectional diagram illustrates a multi-layered semiconductor structure. At the top, there are two contact pads labeled 30a and 30b. Below these, a layer labeled 28b is shown above a layer labeled 30b. The structure includes several other labeled regions: 32a, 22a, 24a, 26a, 28a, 32b, 12b, 10, p-well, and 2. Arrows point to specific features, such as the top contact pads and the interface between different layers.

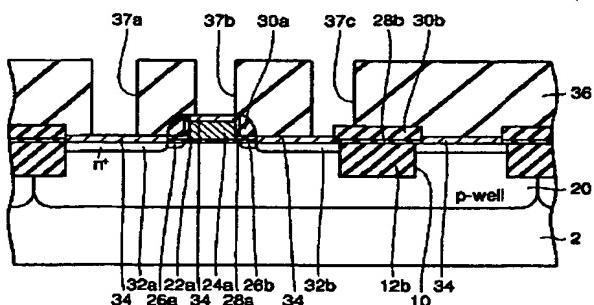
【図18】



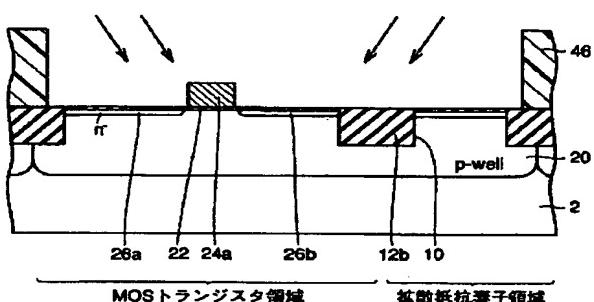
【図20】



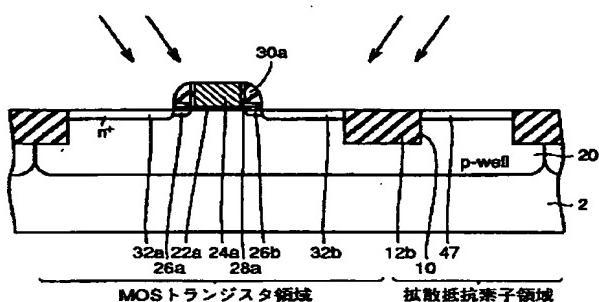
【図19】



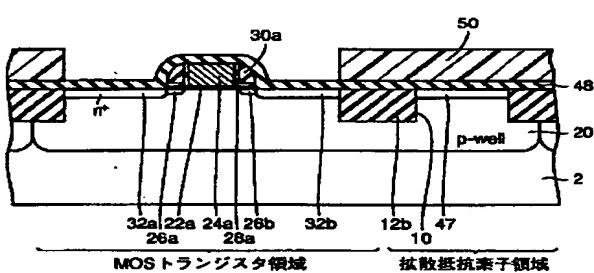
【図21】



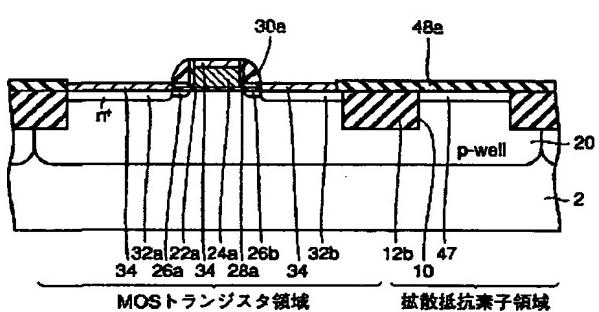
【図22】



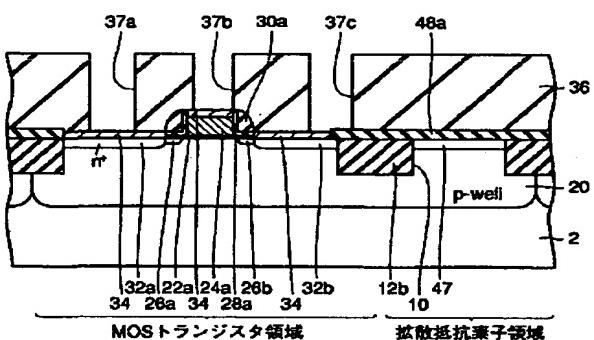
【図23】



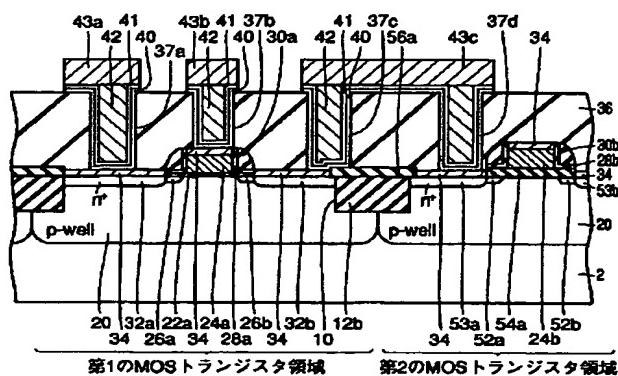
【図24】



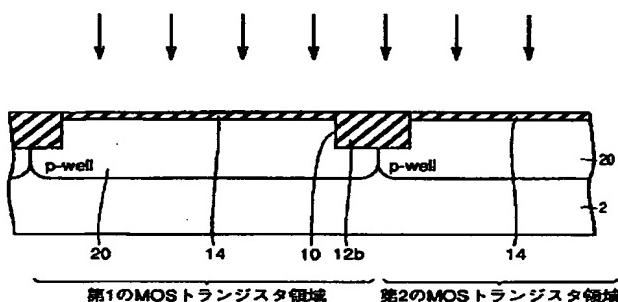
【図25】



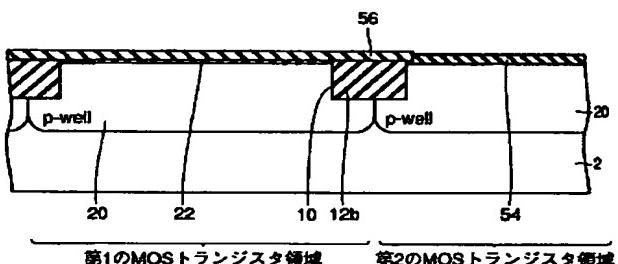
【图26】



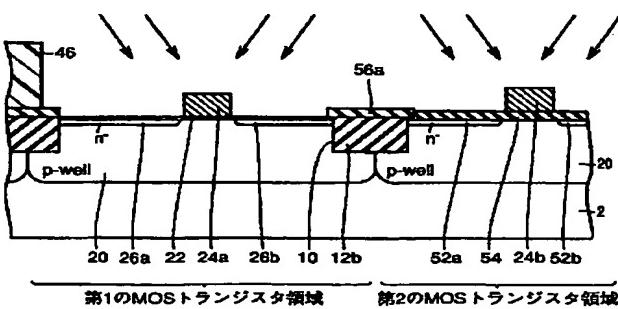
【图28】



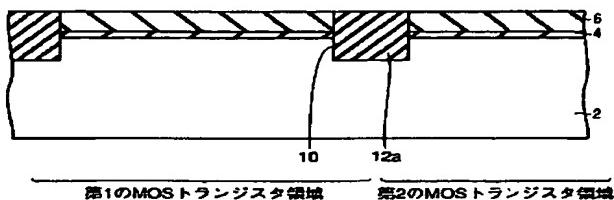
【図30】



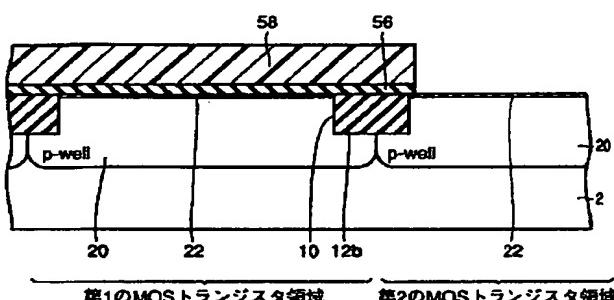
【図3-2】



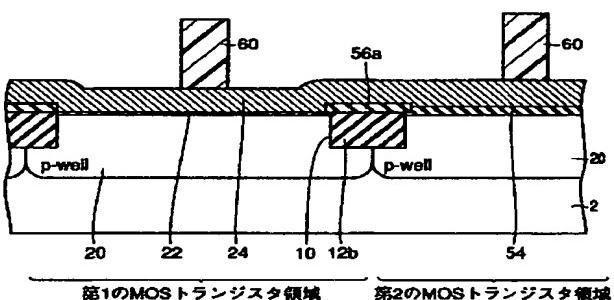
【図27】



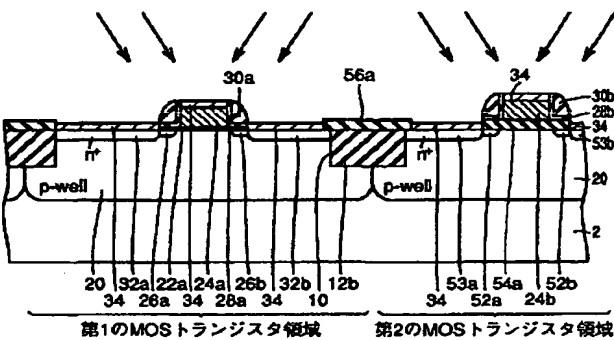
【図29】



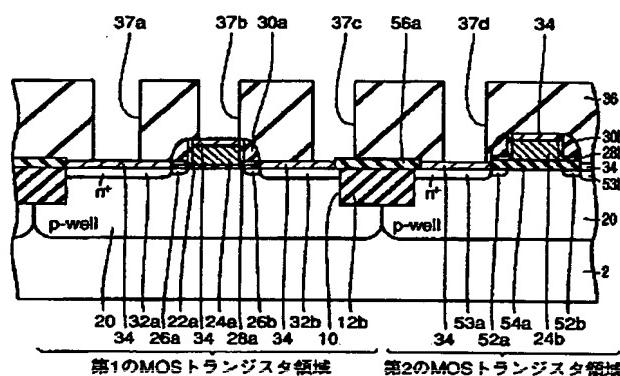
【図3-1】



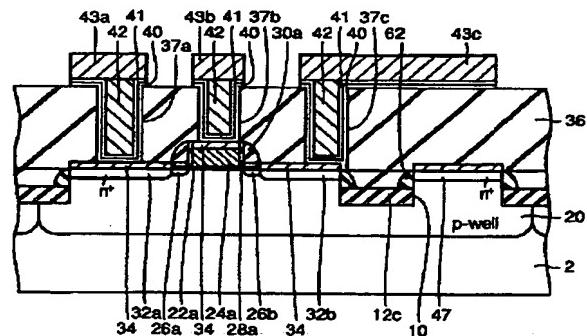
【图33】



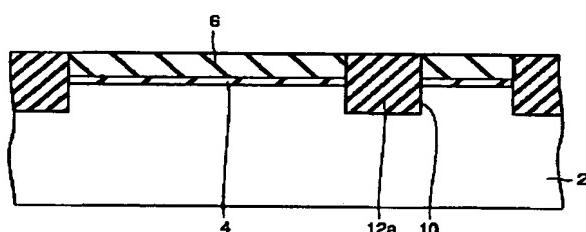
【図34】



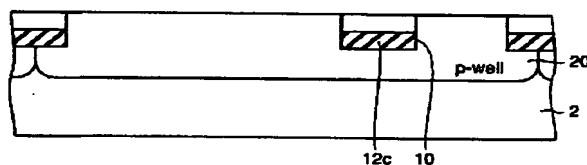
【図35】



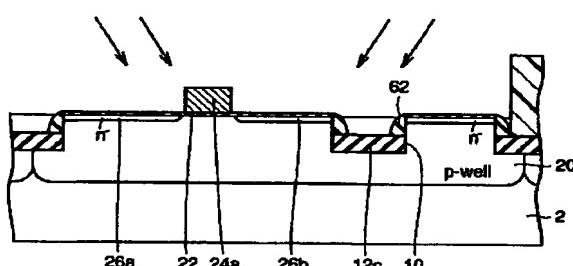
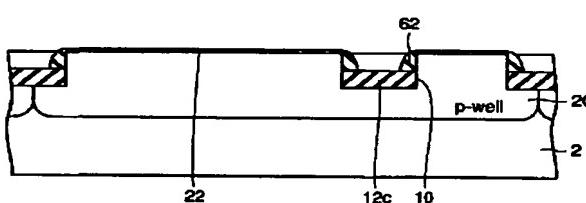
【図36】



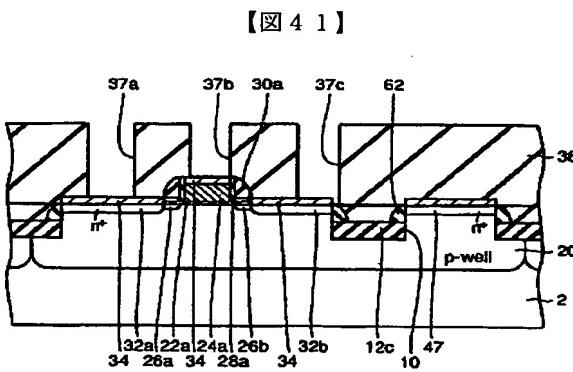
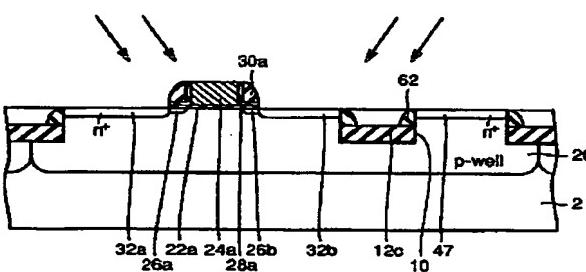
【図37】



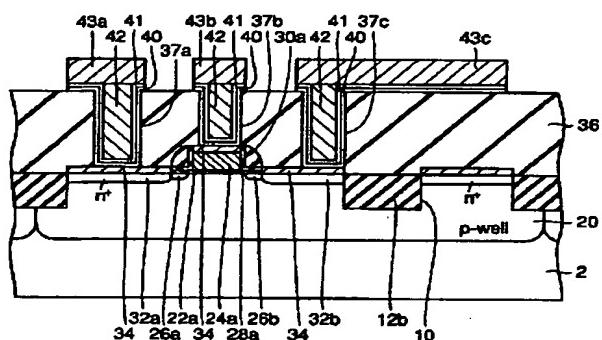
【図38】



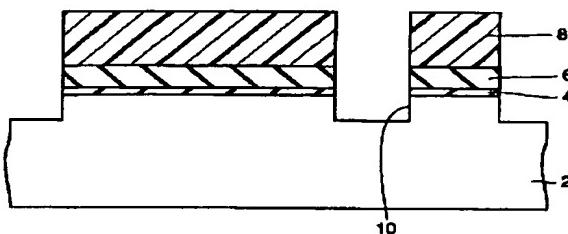
【図40】



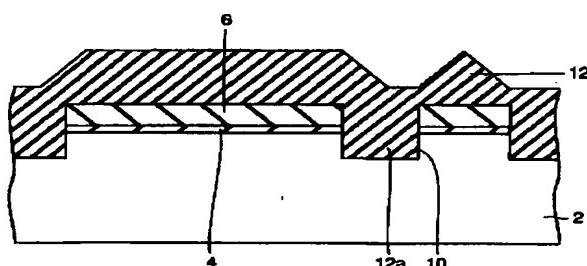
【図42】



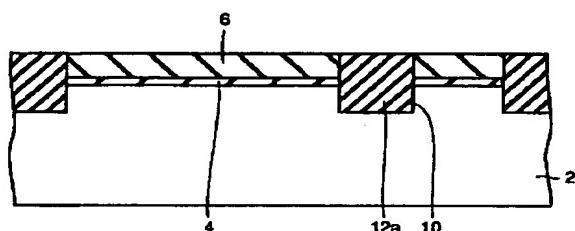
【図43】



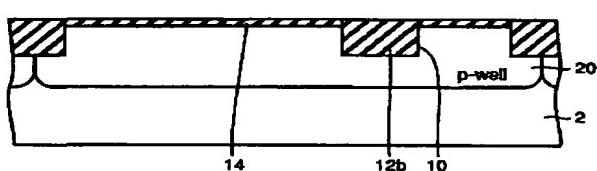
【図44】



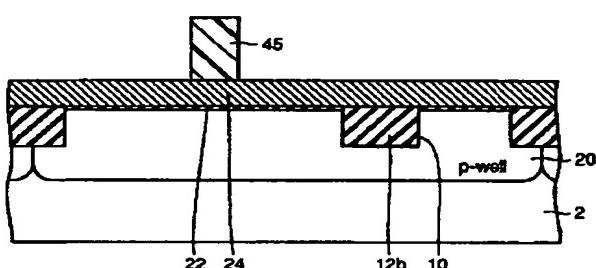
【図45】



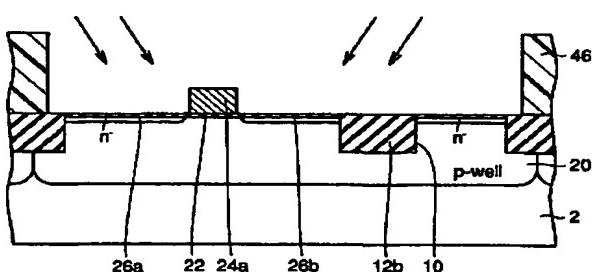
【図46】



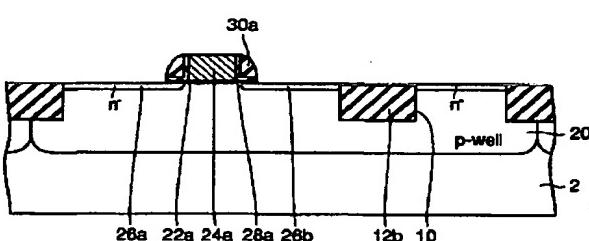
【図47】



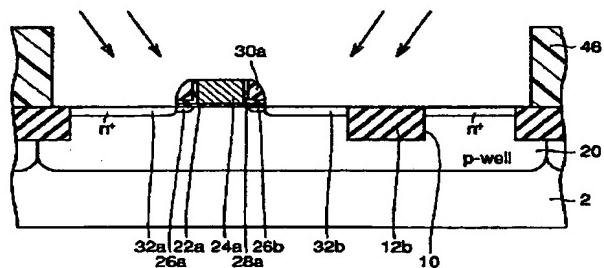
【図48】



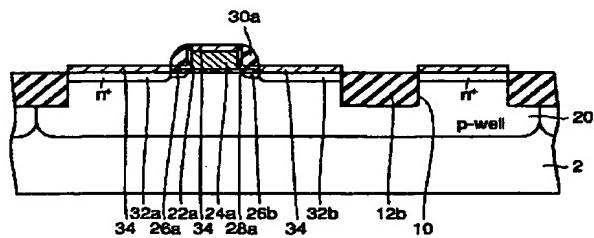
【図49】



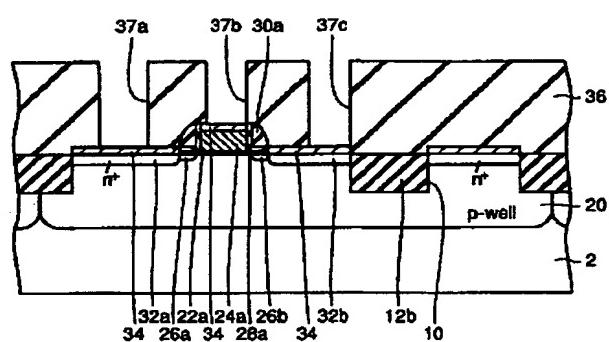
【図50】



【図51】



【図52】



【図53】

